

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08335684 A**

(43) Date of publication of application: **17.12.96**

(51) Int. Cl

H01L 27/12
H01L 21/762
H01L 29/786

(21) Application number: **07141580**

(22) Date of filing: **08.06.95**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TAKEUCHI YOSHINORI**
TAKAGI YOSUKE

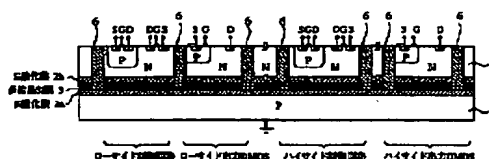
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To prevent an inversion layer from being produced in the active layer in an element, formed on a SOI substrate with element isolating insulating films in between due to the operation of the element.

CONSTITUTION: A semiconductor device is of SOI structure, made up of a base substrate 1, an insulating film, a conductive film 3, an insulating film and a Si film 4, from lowest to highest, and contains elements formed on the SOI substrate with element isolating insulating films in-between. This reduces the combined capacitance under the Si film 4 and prevents an inversion layer from being induced. If there is an element 13 actuated by the operation of an element A, the device is so constructed that an active layer as a reference for the operation of the element A is connected with the conductive film 3 below the insulating film direct under the element A. This prevents a differential potential from being produced in the active layer in the element B due to the operation of the element A. This constitution keeps the elements independent from one another and further improves the characteristics of the elements.

COPYRIGHT: (C)1996,JPO



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08335684 A**

(43) Date of publication of application: **17.12.96**

(51) Int. Cl

H01L 27/12
H01L 21/762
H01L 29/786

(21) Application number: **07141580**

(22) Date of filing: **08.06.95**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TAKEUCHI YOSHINORI**
TAKAGI YOSUKE

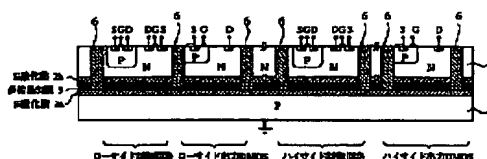
(54) **SEMICONDUCTOR DEVICE**

(57) Abstract:

PURPOSE: To prevent an inversion layer from being produced in the active layer in an element, formed on a SOI substrate with element isolating insulating films in between due to the operation of the element.

CONSTITUTION: A semiconductor device is of SOI structure, made up of a base substrate 1, an insulating film, a conductive film 3, an insulating film and a Si film 4, from lowest to highest, and contains elements formed on the SOI substrate with element isolating insulating films in-between. This reduces the combined capacitance under the Si film 4 and prevents an inversion layer from being induced. If there is an element 13 actuated by the operation of an element A, the device is so constructed that an active layer as a reference for the operation of the element A is connected with the conductive film 3 below the insulating film direct under the element A. This prevents a differential potential from being produced in the active layer in the element B due to the operation of the element A. This constitution keeps the elements independent from one another and further improves the characteristics of the elements.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-335684

(43)公開日 平成8年(1996)12月17日

(51)Int.Cl.⁶

H 0 1 L 27/12
21/762
29/786

識別記号

庁内整理番号

F I

H 0 1 L 27/12
21/76
29/78

技術表示箇所

Z
D
6 1 3 Z
6 2 6 C

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21)出願番号 特願平7-141580

(22)出願日 平成7年(1995)6月8日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 竹内 好範

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

(72)発明者 高木 洋介

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝多摩川工場内

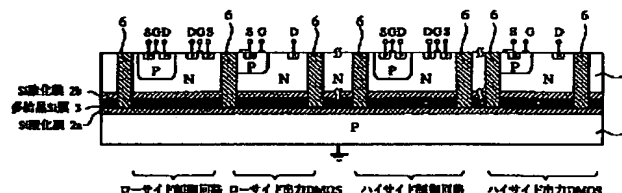
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 SOI 基板において素子分離絶縁膜を介し形成された素子の動作において、素子の活性層において反転層の発生を防止することを目的とする。

【構成】 下層から順に台基板1、絶縁膜2、導電膜3、絶縁膜2、Si膜4のSOI構造を有し、このSOI基板に素子分離絶縁膜を介して形成された素子を有する。このため、Si膜4下の合成容量が小さく、反転層の誘起を防止できる。また、ある素子Aの動作により動作する素子Bが存在する場合、この素子Aの動作基準となる活性層と、素子A直下の絶縁膜2下の導電膜3を接続する構造を有する。これにより、素子Aの動作により、素子Bの活性層に電位差が生じることを防止できる。このように構成することにより、各素子の独立性を保ち、且つ素子特性を向上させることができる。



【特許請求の範囲】

【請求項 1】 半導体基板表面に形成された第一の絶縁膜と、この第一の絶縁膜上に形成された第一の導電膜と、この第一の導電膜上に形成された第二の絶縁膜と、この第二の絶縁膜表面に形成された第二の導電膜と、この第二の導電膜に形成された半導体素子とを有することを特徴とする半導体装置。

【請求項 2】 上記第一の絶縁膜と第二の絶縁膜の間に、第一の導電膜と異なる導電膜が絶縁膜を介し、第一の導電膜下に一層以上形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 上記半導体素子が複数存在し、第一の半導体素子の動作基準となる活性層の電位により、第二の半導体素子の活性層の電位が変化し、且つ第二の半導体素子の活性層が第二の絶縁膜と接する場合、これらの半導体素子の境界近傍に、第二の導電膜表面から第二の絶縁膜表面より深く、且つ第一の導電膜下より浅く形成された素子分離用の絶縁膜を有し、これらの半導体素子の直下の第一の導電膜の電位を等しくしたことを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 上記第一の半導体素子の動作基準となる活性層と、第二の半導体素子の直下の第一の導電膜とが電気的に接続されていることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】 上記第一の半導体素子と第二の半導体素子の間の素子分離の絶縁膜の内部に埋め込まれた導電膜と、第一の導電膜とを電気的に接続することを特徴とする請求項 4 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高耐压パワー素子及び制御素子等をモノシリックに集積したパワー IC、特に SOI (Silicon On Insulator) 構造に関する。

【0002】

【従来の技術】 SOI (下層から順に基板(台基板と称す)・絶縁膜・Si膜)構造は、耐压性、寄生容量の低減に優れ、さらに、Si膜を薄膜化した場合には短チャネル効果を抑制できる為、素子の高集積化を進める手段の一つとなっている。

【0003】 このため、SOI 基板にトレンチ素子分離領域を形成した図 7(a)または(b)のような構造に、複数の素子、例えば図 8 のようにパワー MOSFET (Field Effect Transistor) と制御素子(この場合は CMOS)を形成した構造は、今日広く用いられている。

【0004】 しかし、動作の高速化を図るため素子に与える電位差を高く設定する必要上、又はパワートランジスタを形成するためには素子の耐压を向上させる必要があり、次のような問題を解決しなければならない。以下、その問題点を図 8 の素子を例に、図面を参照して説明する。

【0005】 図 9 (a) 及び(b) は、図 8 の Nch(channel)-LD (Lateral Double diffused) MOS をハイサイドスイッチに用いた場合において、各々 OFF 状態、ON 状態を示した図である。図 10 (a) 及び(b) は、各々 Nch-LDMOS が OFF 状態、ON 状態の時の、図 8 の制御素子部分の CMOS を示した図である。

【0006】 Nch-LDMOS においては、そのソース側を低電位側に接地し、図 9 (a) から (b) のように、ドレインに電位を無電位状態から、高電位側につなぎ ON 状態にする。ON 状態では、N 型導電層 17 に電位差が生じるため、絶縁膜層側の N 型導電層 17 に正孔、すなわち反転層 18 が誘起される。つまり、実質的な活性層の厚さは X_1 から X_1' に低下するため電流の流れる断面積が減少し、活性層における抵抗値 RON が増大する。この RON の増加は、活性層が薄い程、素子の動作速度の遅延化、消費電力の増加の問題を深刻化させている。

【0007】 一方、Nch-LDMOS のソース電位に応じてこのゲートに与える電位変えるため、制御素子の CMOS においては NMOS のソースは Nch-LDMOS のソースと接続され、PMOS のソースは、PMOS の N 型活性層 17、及び Nch-LDMOS のソース電位 +5V となる電源装置に接続されている。従って、Nch-LDMOS が OFF から ON 状態になると、Nch-LDMOS のソースは低電位から高電位に変化するため、図 10 (a) から (b) のように、PMOS の N 型活性層 17 は、零電位から + 電位に変わる。この時、台基板(絶縁膜下の P 型半導体基板)は接地されたままなので、N 型活性層 17 において電位差が生じ、絶縁膜側の N 型活性層 17 に反転層 18 が生じる。このため、図 10 (b) のように寄生の PNP トランジスタが形成され、OFF 状態に比べラッチアップが生じ易くなる。

【0008】 さらに、N 型活性層 17 自体の厚さが薄い場合は、Nch-LDMOS が OFF から ON に変わると、図 11 (a) から (b) のように N 型活性層 17 に誘起された反転層 18 (すなわち P 型導電層) がドレイン及びソースの P 型導電層に達しリーク電流が生じる。このような問題を解決するためには、反転層 18 の発生を防止する必要がある。そこで従来は、(1) 台基板の電位を変化させる(上述した例においては、Nch-LDMOS のソース電位と台基板の電位を同一にする)、(2) SOI の絶縁膜の膜厚を非常に厚くし、素子における容量を低減する方法が考えられた。

【0009】

【発明が解決しようとする課題】 以上説明したように、SOI 基板に素子分離領域を介し複数の素子を形成した半導体装置において、素子に高電位差を与えた場合にも、絶縁膜側の Si 膜に形成された活性層に反転層の形成を防止する従来の方法は、以下のような問題を有していた。

【0010】 (1) 絶縁膜と接する活性層に電位差が生じないよう、この活性層の電位にあわせて台基板の電位を変化させる方法は、複数の異なる種類の素子を有する場

合において、各素子の動作の独立性を喪失させる等、その他の素子の動作において不具合を生じさせる問題を有していた。

【0011】(2) 絶縁膜の膜厚を厚くする方法は、技術上困難であり、また、コスト的にも不利になる問題を有していた。そこで、本発明は、上記問題を解決し、絶縁膜により分離された各素子に高い電位差をかけた場合も、各々の素子を正常に且つ独立に動作させることを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置では、半導体基板表面に形成された第一の絶縁膜と、この第一の絶縁膜上に形成された第一の導電膜と、この第一の導電膜上に形成された第二の絶縁膜と、この第二の絶縁膜表面に形成された第二の導電膜と、この第二の導電膜に形成された半導体素子とを有することを特徴とする。尚、上記第一の絶縁膜と第二の絶縁膜の間に、第一の導電膜と異なる導電膜が絶縁膜を介し、第一の導電膜下に一層以上形成されていることを特徴とする。

【0013】尚、上記半導体素子が複数存在し、第一の半導体素子の動作基準となる活性層の電位により、第二の半導体素子の活性層の電位が変化し、且つ第二の半導体素子の活性層が第二の絶縁膜と接する場合、これらの半導体素子の境界近傍に、第二の導電膜表面から第二の絶縁膜表面より深く、且つ第一の導電膜下より浅く形成された素子分離用の絶縁膜を有し、これらの半導体素子の直下の第一の導電膜の電位を等しくしたことを特徴とする。

【0014】尚、上記第一の半導体素子の動作基準となる活性層と、第二の半導体素子の直下の第一の導電膜とが電気的に接続されていることを特徴とする。尚、上記第一の半導体素子と第二の半導体素子の間の素子分離の絶縁膜の内部に埋め込まれた導電膜と、第一の導電膜とを電気的に接続することを特徴とする。

【0015】

【作用】下層から台基板・絶縁膜・Si膜の構造に加え、台基板・絶縁膜の間に下層から順に、少なくとも一層以上の誘電体膜上に形成された金属膜を有する。また、このSi膜に素子を有する。

【0016】初めに、素子の種類に関係なく本発明により得られる作用を考察する。例えば、図12(a)のようなP型導電層の台基板11・絶縁膜12・(Si膜に形成した)N型導電層構造の半導体装置、その等価回路、図12(b)を考える。尚、便宜上この構造が有する電気容量を C_{m1} とおく。

【0017】仮に、台基板11を接地し、N型導電層側に+Vの電圧を印加する。この等価回路を使用して考えると、コンデンサの接地側から順に $-Q$ 、 $+Q$ 、 $-Q$ 、そして電圧が印加されている側に $+Q$ ($Q = C_{m1} \cdot V$)の電

荷が誘起される。つまり12(a)のN型導電層に反転層が形成される。

【0018】次に、図13(a)のようなP型導電層の台基板11・絶縁膜12・導電膜13・絶縁膜12・N型導電層構造の半導体装置、その等価回路、図13(b)を考える。この構造による電気容量を C' と、台基板11・絶縁膜12・導電膜13による電気容量を C_{m2} とおく。

【0019】すると、 $C' = 1/C_{m1} + 1/C_{m2}$ より、 $C' = [C_{m2} / (C_{m1} + C_{m2})] \cdot C_{m1} < C_{m1}$ となる。

10 【0020】上記例と同様に、このN型導電層側に+Vの電圧をかけたとすると、N型導電層に $+Q'$ ($Q' = C' \cdot V$)の電荷が誘起され反転層が形成される。この電気容量 C' は、上記例の C_{m1} より小さくなっているため、誘起される電荷も小さくなり、反転層が誘起されにくくなったことがわかる。

【0021】さらに、上層のSi膜、上記例ではN型導電層に、素子分離領域を介し素子Aの動作により、絶縁膜12と接する活性層電位が変化する素子Bがある場合、本発明は素子Aの動作基準となる層と導電膜13とを接地する。これによれば、素子Aの動作により、素子Bの活性層に電位差が生じることを抑止でき、素子Bの絶縁膜と接する活性層において、反転層の形成を防止できる。

【0022】

【実施例】以下、図面を参照して本発明の半導体装置を説明する。図1は、本発明の第一の実施例にかかる半導体装置の概略断面図である。この実施例では、下層から順に、P型導電層の台基板1・Si酸化膜2a・不純物をドーブした多結晶Si膜3・Si酸化膜2b・Si膜4のSOI構造を有し、且つ、上層のSi膜4にハイサイドスイッチとして使用される出力素子のNch-DMOS、及び制御回路等の素子が存在し、各素子の間に、基板表面から多結晶Si膜まで貫通するトレンチに絶縁膜6aを有す構造になっている。尚、図示せぬが、具体的にはトレンチの側面に絶縁膜6aを形成した後、多結晶Si膜を充填した構造になっている。

【0023】従って、本実施例によれば、各素子を動作させるため高い電位差をかけた場合も、本発明によるSOI構造の合成容量が小さいため、素子の活性層において反転層が誘起されることを防止できる。

40 【0024】尚、以後、特に断らない限り、不純物をドーブした多結晶Si膜3を多結晶Si膜3と、台基板と接するSi酸化膜2を基板酸化膜と、上層のSi膜4と接する酸化膜2をSOI酸化膜と呼ぶ。また、上層のSi膜4に素子を形成した場合、N型及びP型導電層を有しているが、導電型は問わずに本発明の構造の位置関係を表す表現として用いた。

【0025】図2(a)は、本発明の第二の実施例にかかる半導体装置の概略断面図である。これは第一の実施例の半導体装置と構成は同じであるが、ハイサイド出力素子として使用するNch-DMOSのソースと、このNch-DMOS直

下のSOI 酸化膜と接する多結晶Si膜3を接続し、この両者を同電位にしている。

【0026】この例では、Nch-DMOSにおけるP型活性層及びN型活性層、SOI 酸化膜2bを選択的に異方性エッチングし溝を形成した後、多結晶Si膜3と接するように、溝の側面に絶縁膜、その他に導電膜5を形成している。そして、この導電膜5とNch-DMOSのソースとを金属配線により接続している。また、ハイスайд出力素子として使用するNch-DMOSと、それを制御するCMOS間の素子分離膜は、多結晶Si膜3を貫通せずに、Nch-DMOS及びCMOS下の多結晶Si膜が同電位になるようにしてある。

【0027】また、図2(b)のように、Nch-LDMOSとCMOSを分離するトレンチ素子分離領域6を使用して、Nch-LDMOSのソースと、素子直下の多結晶Si膜3を接続しても良い。但し、素子分離の役割が低下しないよう、トレンチ側面を覆う絶縁膜6aの膜厚を厚くし、且つ、その絶縁膜6aに挟まれた多結晶Si膜は抵抗値を低くするために不純物をドーピングする必要がある。

【0028】尚、便宜上、この実施例の説明にあたって、上記Nch-DMOSをDMOSと、このDMOSの制御用の素子であるCMOSにおけるPMOS、NMOSを各々PMOS、NMOSと呼ぶ。上述したような構造の半導体装置において、DMOSのソースに対するドレインの電位をCMOSで制御できるよう、DMOSのソースとPMOSのソースを、また、DMOSのソース電位+5V電位の電源装置と、PMOSのソース及びN型活性層とを接続した場合、以下のような効果が得られる。

【0029】例えば、DMOSのソースを接地し、ドレインに高電位を与えた場合、DMOSはON状態になり、そのソース電位は上昇する。これに伴い、従来はPMOSのN型活性層に電位差が生じ、SOI基板側に反転層が生じていたが、この実施例によれば、電位差はほとんど生じない。従って、このCMOSにおいて反転層の誘起を防止できる。

【0030】また、この作用に加え、第一の実施例と同様の作用が得られるため、DMOSに第一の実施例よりさらに高い電位差をかけても、DMOS及びCMOSにおいて反転層の誘起は防止され、動作特性を向上できる。

【0031】尚、本発明は、第一及び第二の実施例に限定されず、例えば以下に示す様に変更しても良い。下層から順に台基板1・基板酸化膜2a・多結晶Si膜3・SOI酸化膜2b・Si膜のSOI構造構造に加えて、図3のように、台基板1と基板酸化膜2の間に、さらに、Si酸化膜上の多結晶Si膜を一層以上有する構造をとっても良い。尚、層の数は多い程反転層の誘起を防止できる。

【0032】また、この様に多層構造をとる場合、SOI基板におけるトレンチ素子分離用の絶縁膜6aは、最低限Si膜4及びSOI酸化膜2とを貫通し、このSOI酸化膜2と接する多結晶Si膜と接触していれば良い。但し、トレンチ素子分離領域6の間の島に形成される素子動作、さらに各素子直下の基板の電位を独立させたい場合には、Si膜4表面から基板酸化膜2上の多結晶Si膜3を貫通

し、基板酸化膜2と接触している方が好ましい。

【0033】さらに、上記構造を組み合わせ、部分的に用いても良い。例えば図4のように、一つの台基板1上にSi酸化膜2・Si膜4の2層構造と、Si酸化膜2・多結晶Si膜3・Si酸化膜2・Si膜4の4層構造を有しても良い。

【0034】また、台基板1はP型でもN型でも良い。例えば、上述した全実施例は台基板1がP型半導体基板であるが、図5のようにN型半導体基板でも良い。尚、Si膜4において、素子分離領域6を介し形成された素子の種類及びその数は問わない。例えば、図6のように、構造自体は第一の実施例と同じであるが、出力素子にNch-IGBT(Insulated Gate Bipolar Transistor)、制御素子にCMOS、NPN、PNPトランジスタを使用しても良い。但し、素子に与える電位差が高い程、また出力電圧が高い場合にたいして、本発明によるSOI構造を使用した方がより効果的である。

【0035】また、素子分離領域6を有さなくてもよい。(この場合もSi膜4に形成される素子の種類及びその数は問わない。)

尚、第二の実施例の構造は、ある素子Aの動作に基づき絶縁膜と接する素子Bの活性層の電位が変化する関係がある場合に有効であり、素子Aの動作基準となる活性層と、素子Bが形成されたSi膜4と接しているSOI酸化膜2下の多結晶Si膜3とが電氣的に接続すれば、接続の方法は特に限定されない。

【0036】またこの場合、素子AのSOI酸化膜2下の多結晶Si膜3の電位と、素子B下の多結晶Si膜3の電位が等しくなるように、素子A、B間のトレンチ素子分離領域6は、多結晶Si膜2を貫通しないことが好ましい。

【0037】尚、Si酸化膜2の代わりに、他の材料から構成された絶縁膜を使用しても良い。さらに、多結晶Si膜3(すなわち、不純物をドーピングした多結晶Si膜3)の代わりに、単結晶Siまたは金属等の導電体、好ましくは抵抗値の低い導電体から構成された導電膜を使用しても良い。

【0038】

【発明の効果】本発明は、上述のように構成されているので、素子分離絶縁膜により分離された各島における各素子の独立性を保ち、各素子の動作特性を向上することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施例にかかるSOI構造の基板の概略断面図。

【図2】(a)は、本発明の第二の実施例にかかるSOI構造の基板の概略断面図、(b)は(a)の応用例である半導体素子の接続関係を示す概略断面図。

【図3】本発明の第一及び第二の実施例の応用例を示す概略断面図。

【図4】本発明の第一及び第二の実施例の応用例を示す

概略断面図。

【図5】本発明の第一及び第二の実施例の応用例を示す概略断面図。

【図6】本発明の第一及び第二の実施例の応用例を示す概略断面図。

【図7】(a) 及び (b) は、従来のSOI 構造の一例である概略断面図。

【図8】図7(a)の基板にCMOSとNch-LDMOS を形成した概略断面図。

【図9】図8のNch-LDMOS をハイサイドスイッチに使用した場合、(a) はON状態、(b) はOFF 状態のNch-LDMOS の概略断面図。

【図10】図8のNch-LDMOS をハイサイドスイッチに使用した場合、(a) はON状態、(b) はOFF 状態のCMOSの概略断面図。

【図11】(a) 及び (b) は、図10のCMOSの活性層が薄い場 *

* 合の概略断面図。

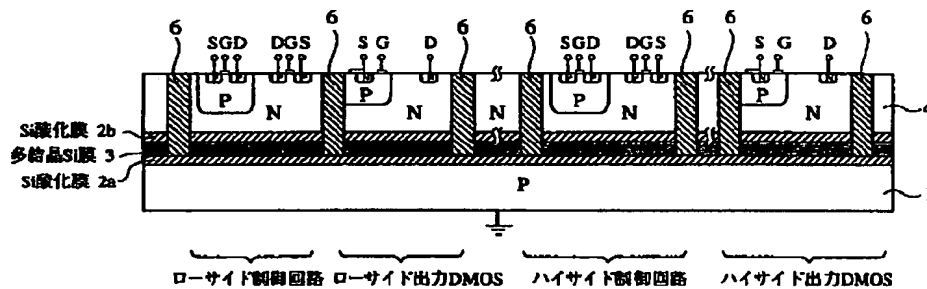
【図12】(a) は従来のSOI 構造の用部を示した概略断面図。(b)は(a) の等価回路を示した図。

【図13】(a) は本発明のSOI 構造の用部を示した概略断面図。(b)は(a) の等価回路を示した図。

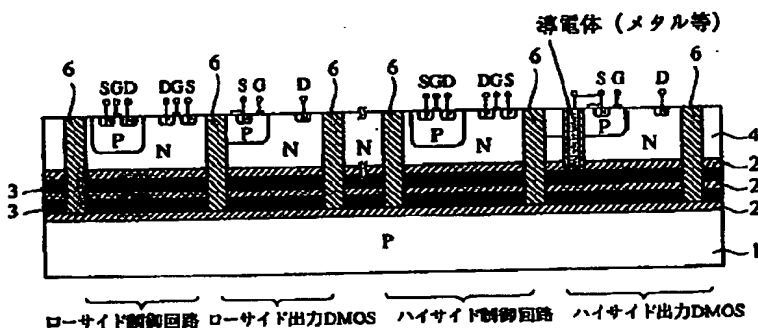
【符号の説明】

- | | |
|-------|----------------------------|
| 1、11 | 台基板 |
| 2 | Si酸化膜 |
| 3 | 多結晶Si膜 (不純物をドーピングした多結晶Si膜) |
| 4 | Si膜 |
| 5、13 | 導電膜 |
| 6 | 素子分離領域 |
| 6a、12 | 絶縁膜 |
| 17 | N 型活性層 |
| 18 | 反転層 |

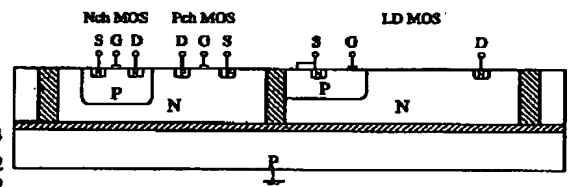
【図1】



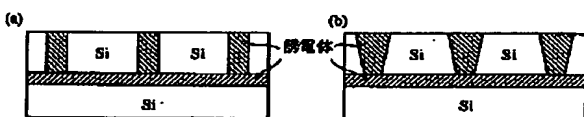
【図3】



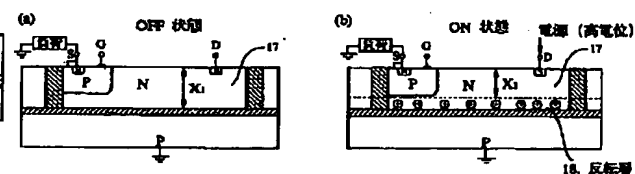
【図8】



【図7】

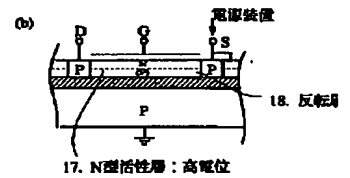


【図9】



[illegible]

【図 1 1】



【图 13】

